

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-208231

(43)Date of publication of application : 26.07.2002

(51)Int.Cl.

G11B 20/14

G11B 20/10

H03L 7/08

(21)Application number : 2001-002927

(71)Applicant : RICOH CO LTD

(22)Date of filing : 10.01.2001

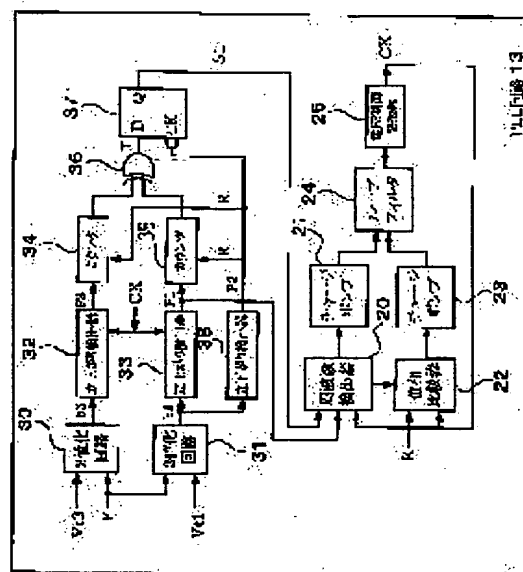
(72)Inventor : KUBO HIROSHI

(54) PLL DEVICE FOR INFORMATION RECORDING AND REPRODUCING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve accuracy of measuring a cycle of a wobble signal by shortening a necessary recovery time at the time of re-synchronizing a reproduction clock with the reproduction data of a disk recorded by a phase modulated wobble system in a PLL circuit of an information recording and reproducing device.

SOLUTION: The PLL circuit 13 of the information recording and reproducing device for recording and reproducing the disk information recorded by the phase modulated wobble system is provided with rise detectors 32, 33, counters 34, 35, a comparator 36, and a flip-flop 37, and is controlled so as to prohibit a frequency detector 20 to control the frequency of the reproduction clock CK when the PLL circuit detects phase inversion of the wobble signal, and is controlled so as not to prohibit the operation in other cases.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-208231

(P2002-208231A)

(43)公開日 平成14年7月26日(2002.7.26)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード*(参考)
G 1 1 B 20/14	3 5 1	G 1 1 B 20/14	3 5 1 A 5 D 0 4 4
20/10	3 2 1	20/10	3 2 1 A 5 J 1 0 6
H 0 3 L 7/08		H 0 3 L 7/08	G

審査請求 未請求 請求項の数5 O L (全 9 頁)

(21)出願番号 特願2001-2927(P2001-2927)

(22)出願日 平成13年1月10日(2001.1.10)

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 久保 博司

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74)代理人 100080931

弁理士 大澤 敬

Fターム(参考) 5D044 AB01 BC04 CC06 GM02 GM12

5J106 AA04 BB03 CC02 CC31 CC41

CC51 CC52 DD32 HH05 KK02

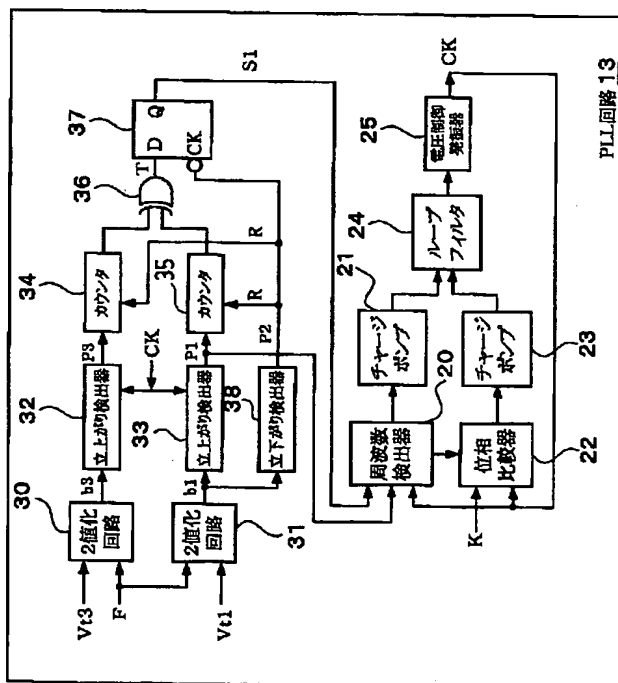
KK05

(54)【発明の名称】 情報記録再生装置のPLL装置

(57)【要約】

【課題】 情報記録再生装置のPLL回路において、位相変調ウォブル方式で記録されたディスクの再生データに再生クロックを再同期させるときの回復に要する時間を短くし、ウォブル信号の周期の測定精度を向上させる。

【解決手段】 位相変調ウォブル方式で記録されたディスクの情報の記録再生を行う情報記録再生装置のPLL回路13に、立上がり検出器32、33、カウンタ34、35、比較器36、フリップフロップ37を設けて、ウォブル信号の位相の反転を検出したときは周波数検出器20による再生クロックCKの周波数制御を禁止させ、それ以外のときは禁止させないように制御する。



【特許請求の範囲】

【請求項1】 アドレス情報を表わす位相変調ウォブル信号が予め記録された情報記録媒体に対する情報の記録再生を行う情報記録再生装置のPLL装置であって、前記位相変調ウォブル信号の周期を検出して再生クロックの周波数を制御させる周波数検出手段と、前記ウォブル信号の位相が反転したことを検出する位相反転検出手段と、該手段が前記ウォブル信号の位相が反転したことを検出したときは、前記周波数検出手段による再生クロックの周波数制御を禁止させ、それ以外のときは禁止させないように制御する手段とを設けたことを特徴とする情報記録再生装置のPLL装置。

【請求項2】 前記位相反転検出手段は、前記ウォブル信号の位相の反転を第1と第3のしきい電圧で検出し、前記ウォブル信号の周期をその第1と第3のしきい電圧の中間値をとる第2のしきい電圧で検出するように構成されていることを特徴とする請求項1記載の情報記録再生装置のPLL装置。

【請求項3】 前記第2のしきい電圧を、前記ウォブル信号の直流電圧成分にほぼ一致するようにして設定する設定手段を有することを特徴とする請求項2に記載の情報記録再生装置のPLL装置。

【請求項4】 請求項1乃至3のいずれか一項に記載の情報記録再生装置のPLL装置において、前記ウォブル信号の振幅の大きさが所定の大きくなるように制御する振幅制御手段を設けたことを特徴とする情報記録再生装置のPLL装置。

【請求項5】 前記振幅制御手段をAGC回路で構成したことを特徴とする請求項4に記載の情報記録再生装置のPLL装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、光ビームをディスク形状の情報記録媒体に照射することにより、データの記録と再生を行う情報記録再生装置の、製造時にディスク上に書込まれたディスク上のアドレス情報等を表わす位相変調ウォブル信号と記録されているデータを同時に再生し、そのデータからクロック信号を抽出するPLL回路等のPLL装置に関する。

【0002】

【従来の技術】従来、情報の記録及び再生が可能な光ディスクは、図6に示すように、ディスクの回転数を制御するために情報を記録する溝であるグループ100を一定周期でウォブル(Wobble)して形成している。ここで、「ウォブルする」とは、グループ100をディスクの半径方向に僅かに蛇行させることを意味している。また、製造時にディスク上のアドレスを表わす情報(アドレス情報)が書込まれていて、情報が記録されていなくても、光ディスク上のアドレスが検出できるよう

になっている。

【0003】そのアドレス情報は、溝と溝の間に位置するデータ記録領域でないランド101の領域にピットを形成する方式や、データ単位であるセクタの先頭のデータトラック中に一定長さの領域を割り当てる方式等により書込みして記録されている。この2つの方式のうち、前者の方式では、記録されているデータがノイズになるため、アドレス情報の検出が容易でないという問題があり、後者の方式では、その領域を割り当てた分だけデータ用の有効領域が減少するという問題がある。

【0004】そこで、ウォブルしたグループ100の蛇行方向に応じて電圧の変化する信号(以下「ウォブル信号」という)の位相を変調させ、それによってアドレス情報を表わす方式(以下「位相変調ウォブル方式」という)の光ディスクが開発され、商品化されようとしている。

【0005】ここで、上述のような光ディスクにおける位相変調ウォブル方式について、図面を参照して説明する。図7は、位相変調したウォブル信号の波形の一例を図示したものである。この方式では、8ウォブル周期を一単位として0または1を表している。同図の(A)と(B)とでは、それぞれウォブル信号の位相が変調されていて、同図(A)は0を、(B)は1を表わしている。

【0006】また、この例では8ウォブル周期を一単位とする情報が93ウォブル毎の一つづつ等間隔で配置されていて、その52単位で一つの情報を表わしている。この8ウォブル周期を一単位とする情報をアドレス・イン・ブリグループ(以下「ADIP」と略記する)と呼ぶ。なお、図7において正、負はそれぞれウォブル信号の位相の正負を示している。Vrefはウォブル信号を出力するバンドパスフィルタ(BPF)の基準電圧を示し、Vt1とVt3はともに位相の反転を検出するためのしきい電圧を示している。

【0007】次に、従来のディスクの回転を制御する方法を線速一定(CLV)とする場合を例にとり、光スポットが光ディスクのトラックを正しくたどるようにトラッキングを制御するための制御信号を出力する方法と、プッシュプル法によりグループ100のウォブル信号を読み出す方法を行うための信号再生回路14について説明する。

【0008】図8は、その信号再生回路14の構成を示すブロック図である。信号再生回路14は、ディテクタ1、I/V変換器2、アナログ演算器3、等化回路4、2値化回路5、フェーズ・ロックド・ループ回路(一般に「PLL回路」と称している)6及びローパスフィルタ(LPF)7と、トラッキング駆動回路8、バンドパスフィルタ(BPF)9、検出回路10、周波数比較回路11及び分周器12とから構成されている。

【0009】この信号再生回路14は、グループ100

上に集光されたビームスポット102からの戻り光(図6参照)を4分割のPINダイオードで光電変換して出力し、その出力電流をI/V変換器2により電圧に変換して、それぞれ各PINダイオードに対応する電圧信号VA、VB、VC、VDを出力する。

【0010】その電圧信号VA、VB、VC、VDは、アナログ演算器3に入力され、 $VA+VB-VC-VD$ なる演算処理を行ってトラッキング誤差信号Eが出力され、同時にグループ100のウォブル信号Fも再生される。

【0011】そして、信号再生回路14は、ローパスフィルタ7により、トラッキング誤差信号Eのみを出力してトラッキング駆動回路8に入力させ、トラッキング駆動信号Gを出力する。また、ウォブル信号Fをバンドパスフィルタ9を通過させることによって、S/N比の良好なウォブル信号Fを生成して、これを検出回路10により2値化した上で、その2値化したウォブル信号のデータ(以下「2値化データ」という)Hを周波数比較回路11に入力する。その周波数比較回路11は、分周器12から出力される基準周波数を所定の分周比Nで分周した信号と2値化データHを比較してスピンドルモータ制御信号Iを出力する。

【0012】上記各ADIPの一単位は、位相の変調によってそれぞれ周波数が変動し、異なった周波数になっているため、検出回路10は、図7のしきい電圧 V_{t1} 、 V_{t3} を基準にウォブル信号の位相が反転したことを検出すると、図示しない内部カウンタにより、8ウォブル周期に相当する期間は制御信号Sを1にして出力する。すると、周波数比較回路11に対して基準周波数との比較の禁止が指示される。

【0013】次に、上述した信号再生回路14において、再生信号から再生クロックCKを抽出する方法について説明する。アナログ演算器3から電圧信号VA、VB、VC、VDを加算した($VA+VB+VC+VD$)再生信号Jを出力し、それをコンデンサCPによるACカップリング後、等化回路4で記録再生の周波数特性を補償する。その後再生信号Jが2値化回路5によって2値化されると再生データKが得られる。その再生データKをPLL回路6に入力すると、再生クロックCKが抽出される。

【0014】図9は、そのPLL回路6の内部構成を示すブロック図である。PLL回路6は、2値化回路26及び立上がり検出器27と、周波数検出器20、チャージポンプ21、23と、位相比較器22、ループフィルタ24及び電圧制御発振器(VCO)25から構成されている。

【0015】2値化回路26は、図7のしきい電圧 V_{t1} を基準にウォブル信号Fを2値化し、立上がり検出器27は、その立上がりに同期してパルスPを出力する。周波数検出器20は、電圧制御発振器(VCO)25か

ら出力される再生クロックCKを入力して、制御信号Sが0の時に、2値化したデータのパルスPの立上がりの時間間隔を測定し、ウォブル信号Fと再生クロックCKの周波数を比較して、その比が分周比Nを中心とする所定の範囲内に入っているか否かを検出する。

【0016】チャージポンプ21、23は、周波数検出器20の検出結果にしたがって、1、0またはフロートを出力し、ループフィルタ24は、チャージポンプ21、23の出力信号をそれぞれ積分して直流電圧に変換し、再生クロックCKの周波数を制御する。このとき、再生クロックCKとウォブル信号Fの周波数の比が分周比Nを中心とする所定の範囲内に入るように制御される。その後位相比較器22がONにされる。

【0017】位相比較器22は、ONにされると再生データKの立上がりとし下がりの両方のエッジを再生クロックCKの立下がりエッジと比較し、再生データKの立上がり又は立下りエッジが再生クロックCKの立下がりエッジよりも進んでいるか遅れているかを検出する。

【0018】

【発明が解決しようとする課題】上述したPLL回路6は、従来、周波数検出器20において次のような問題があった。周波数検出器20は、上記各ADIPの一単位の期間は、ウォブル信号Fの位相の反転に伴い制御信号Sが1で出力されるため、一律にウォブル信号Fと再生クロックCKの周波数の比較を禁止している。このため、トラックジャンプ(1つのトラックから離れた別のトラックに移動することをいう)をした後、再生クロックCKが再生データKと再同期するまでの時間が長くなり、トラックジャンプを頻繁に繰り返すような使い方をすると、アクセス時間が長くなるという問題があった。また、周波数検出器20は、しきい電圧 V_{t1} を基準にしてウォブル信号Fの周期を検出しているため、ウォブル信号Fの振幅が変動してしきい電圧 V_{t1} を超える時間が変動すると、それに応じて測定される周期も変動するという問題があった。

【0019】この発明は、上記の問題点を解決するためになされたものであり、情報記録媒体として光ディスクを用いる情報記録再生装置、特にDVD-RWおよびDVD-RAMなどの情報記録再生装置の光学ピックアップが出力するアナログ信号から再生クロックを抽出するためのPLL回路等のPLL装置において、第一に、位相変調ウォブル方式で記録されたディスクの再生データに対して、再生クロックを再び同期させるときの回復に要する時間を短くすること、第二に、ウォブル信号の周期の測定精度を向上させることを目的とする。

【0020】

【課題を解決するための手段】この発明は、上記の目的を達成するため、アドレス情報を表わす位相変調ウォブル信号が予め記録された情報記録媒体に対する情報の記録再生を行う情報記録再生装置のPLL装置において、

上記位相変調ウォブル信号の周期を検出して再生クロックの周波数を制御させる周波数検出手段と、上記ウォブル信号の位相が反転したことを検出する位相反転検出手段と、該手段が上記ウォブル信号の位相が反転したことを検出したときは、上記周波数検出手段による再生クロックの周波数制御を禁止させ、それ以外のときは禁止させないように制御する手段とを設けたものである。

【0021】また、上記位相反転検出手段は、前記ウォブル信号の位相の反転を第1と第3のしきい電圧で検出し、前記ウォブル信号の周期をその第1と第3のしきい電圧の中間値をとる第2のしきい電圧で検出するように構成されているとよい。

【0022】このとき、第2のしきい電圧を、前記ウォブル信号の直流電圧成分にほぼ一致するようにして設定する設定手段を有するように構成されているとさらによい。

【0023】上記いずれのPLL装置においても、ウォブル信号の振幅の大きさが所定の大きさになるように制御する振幅制御手段を設けたものが好ましい。この振幅制御手段は、AGC回路で構成することができる。

【0024】

【発明の実施の形態】以下、この発明の実施の形態を図面に基いて詳細に説明する。図1は、この発明による第1の実施形態におけるPLL回路13を設けた信号再生回路15の内部構成を示すブロック図である。なお、従来と同じ構成については同一の符号を付して説明する。

【0025】信号再生回路15は、ディテクタ1、I/V変換器2、アナログ演算器3、等化回路4、2値化回路5、ローパスフィルタ7と、トラッキング駆動回路8、バンドパスフィルタ9、検出回路10、周波数比較回路11、分周器12及びPLL回路13とから構成され、上述した従来の信号再生回路14と比較してPLL回路13のみが異なる。その他はすべて同じ構成になっている。

【0026】ディテクタ1は、図中1A、1B、1C、1Dで示される4分割のPINダイオードで構成され、従来と同様にグループ100上に集光されたビームスポット102（図6参照）からの戻り光を光電変換して出力する。I/V変換器2は、ディテクタ1から出力される電流を電圧に変換して、それぞれ4分割された各PINダイオード1A、1B、1C、1Dに対応する電圧信号VA、VB、VC、VDを出力する。

【0027】アナログ演算器3は、電圧信号VA、VB、VC、VDを入力として、 $VA+VB-VC-VD$ なる演算処理を行い、プッシュプル方式のトラッキング誤差信号Eを出力する。このトラッキング誤差信号Eは、従来と同様にグループ100とビームスポット102の半径方向における相対的な位置関係に対応した信号であるから、このトラッキング誤差信号Eと同時にグル

ープ100のウォブル信号Fも再生されてその読み出しが行われる。

【0028】ローパスフィルタ7は、アナログ演算器3から出力されるトラッキング誤差信号Eとウォブル信号Fを入力して、トラッキング誤差信号Eのみを出力する。トラッキング駆動回路8は、トラッキング誤差信号Eを入力してトラッキング駆動信号Gを出力する。

【0029】バンドパスフィルタ(BPF)9は、帯域の狭いウォブル信号Fを通過させるために設けられた回路である。ウォブル信号Fをバンドパスフィルタ(BPF)9を通過させることによって、S/N比の良好なウォブル信号Fが得られる。検出回路10は、バンドパスフィルタ9を通過したウォブル信号Fを入力してこれを2値化し、その2値化したウォブル信号のデータ(2値化データ)Hを周波数比較回路11に入力する。周波数比較回路11は、分周器12から出力される基準周波数を所定の分周比Nで分周した信号と2値化データHを比較して光ディスクの回転を制御するスピンドルモータ制御信号Iを出力する。基準周波数は、光ディスクにデータを記録する時に、記録データの出力クロックとしても使用されるため、ウォブル信号Fと光ディスク上の記録データとの周波数比は1:Nとなる。

【0030】上記各ADIPの一単位は、それぞれ位相の変調によって周波数が変動し、異なった周波数になっている。このため、検出回路10は、図3に示すしきい電圧Vt1、Vt3を基準にウォブル信号の位相が反転したことを検出すると、図示しない内部カウンタにより、8ウォブル周期に相当する期間は制御信号Sを1にして出力し、周波数比較回路11に対して基準周波数との比較の禁止を指示するようにしている。

【0031】次に、上述した信号再生回路14において、再生信号から再生クロックCKを抽出する方法について説明する。ここでいう再生信号は、光ディスクに記録された信号の再生信号であり、アナログ演算器3で電圧信号VA、VB、VC、VDを加算した($VA+VB+VC+VD$)再生信号Jである。

【0032】この再生信号Jは、コンデンサCPによるACカップリング後、等化回路4で記録再生の周波数特性を補償する。その後、再生信号Jが2値化回路5によって2値化されると、2値化した再生データKが得られる。その2値化した再生データKをPLL回路13に入力すると、PLL回路13から再生データKのクロックである再生クロックCKが抽出される。

【0033】続いて、再生クロックCKを抽出するためのPLL回路13について説明する。図2は、そのPLL回路13の内部構成を示すブロック図である。PLL回路13は、2値化回路30、31と、立上がり検出器32、33と、カウンタ34、35と、比較器36、フリップフロップ37及び立下がり検出器38とが設けられ、さらに、周波数検出器20、チャージポンプ21、

23と、位相比較器22、ループフィルタ24及び電圧制御発振器(VCO)25が設けられている。

【0034】このPLL回路13は、上述したPLL回路6と比較して、2値化回路26と立上がり検出器27の代わりに、2値化回路30、31、立上がり検出器32、33、カウンタ34、35、比較器36、フリップフロップ37及び立下がり検出器38が設けられている点で異なり、検出回路10から制御信号Sを入力していない点でも異なる。その他の構成はPLL回路6と同じである。

【0035】2値化回路30、31は、図3のタイミングチャートに示すように、しきい電圧 V_{t3} 、 V_{t1} を使用して後続の位相反転検出手段である立上がり検出器32などによりウォブル信号Fの位相の反転を検出するため、しきい電圧 V_{t3} 、 V_{t1} を基準にしてそれぞれウォブル信号Fを2値化し、データ信号b3、b1を出力する。

【0036】立上がり検出器32、33と、カウンタ34、35、比較器36、フリップフロップ37及び立下がり検出器38は、ウォブル信号Fの位相の反転を検出する位相反転検出手段であり、位相の反転を検出したときは、周波数検出器20による再生クロックCKの周波数制御を禁止させ、それ以外のときは禁止させないように制御する手段でもある。そのそれぞれは次のように構成されている。

【0037】立上がり検出器32は、2値化されたデータ信号b3を入力して、再生クロックの周期の時間幅を持ち、かつデータ信号b3の立上がりに同期したパルスP3を出力する。同様に、立上がり検出器33は、データ信号b1を入力してその立上がりに同期したパルスP1を出力し、立下がり検出器38は、データ信号b1の立下がりに同期したパルスP2を出力する。

【0038】カウンタ34、35は、立上がり検出器32、33が出力するパルスP3、P1をそれぞれ入力してそれらをカウントし、その結果を比較器36に入力する。比較器36は、カウンタ34、35から入力されるデータを比較して、それらが一致か不一致であるかにしたが、0または1を出力する。フリップフロップ37は、立下がり検出器38からの立下り検出パルスP2を入力したときに、比較器36の出力する0または1の出力信号Tを読み込み、それを制御信号S1として周波数検出器20に出力する。なお、この立下り検出パルスP2は、カウンタ34、35にも両者をリセットするリセット信号Rとして入力される。

【0039】周波数検出器20は、電圧制御発振器(VCO)25から出力される再生クロックCK、フリップフロップ37が出力する制御信号S1及び立上がり検出器33から出力されるパルスP1を入力し、その制御信号S1が0の時は、立上がり検出器33から出力されるパルスP1の立上がりの時間間隔(立上がりのエッジの

周期)を測定し、ウォブル信号Fと再生クロックCKの周波数を比較してその比が分周比Nを中心とする所定の範囲内に入っているか否かを検出する。それ以外の制御信号S1が1の時は、従来と同様に周波数の比較を禁止する。

【0040】チャージポンプ21は、上述した周波数検出器20の検出結果にしたがって、1、0またはフロートを出力する。ループフィルタ24は、チャージポンプ21の出力信号を積分して直流電圧に変換し、再生クロックCKとウォブル信号Fの周波数の比が分周比Nを中心とする所定の範囲内に入るように制御される。その後位相比較器22がONにされる。

【0041】位相比較器22は、ONにされると再生データKの立上がり立下がりの両方のエッジを再生クロックCKの立下がりエッジと比較し、再生データKの立上がり又は立下りエッジが再生クロックCKの立下がりエッジよりも進んでいるか遅れているかを検出する。チャージポンプ23は、位相比較器22の検出結果にしたがって、1、0またはフロートを出力する。すると、ループフィルタ24がチャージポンプ23の出力信号を積分して直流電圧に変換し、電圧制御発振器25から出力される再生クロックCKの周波数と位相を制御する。

【0042】以上のようにして、この発明によるPLL回路13は、図3に示すように、ウォブル信号の位相が反転したときにのみ、フリップフロップ37が制御信号S1を1にして周波数検出器20に出力することによって、周波数の比較を禁止するように動作する。したがって、従来のPLL回路6のように、各ADIPの一単位の期間は、ウォブル信号の位相の反転に伴ない制御信号Sを1にして一律に禁止する場合に比べると不感時間が短くなり、再生クロックを再び同期させるときの回復に要する時間を短縮することができる。

【0043】次に、この発明による第2の実施形態におけるPLL回路16について説明する。図4は、第2の実施形態におけるPLL回路16の内部構成を示すブロック図である。このPLL回路16は、第1の実施形態におけるPLL回路13と比較して、2値化回路39と立上がり検出器40が設けられ、その立上がり検出器40の出力を立上がり検出器33の出力の代わりに周波数検出器20に入力している点で相違し、その他の点は同じである。以下、同じ点の説明は省略ないし簡略化する。

【0044】2値化回路39は、しきい電圧 V_{t3} と、しきい電圧 V_{t1} の中間値をとるしきい電圧 V_{t2} を基準にしてウォブル信号Fを2値化する。立上がり検出器40は、その2値化回路39により2値化されたデータの立上がりに同期して、再生クロックCKの周期に相当する時間幅のパルス信号P4を周波数検出器20に出力する。そして、周波数検出器20は、再生クロックCK

の周波数についての上記と同様の検出を、しきい電圧 V_{t1} ではなく、しきい電圧 V_{t2} を入力することによって行うから、ウォブル信号 F の振幅に変動があっても、その周期の測定において、その振幅変動による影響を抑制することができる。これによって、ウォブル信号 F の周期の測定精度が向上する。

【0045】特に、2値化回路39が、ウォブル信号 F の直流電圧成分にほぼ一致するようにしてしきい電圧 V_{t2} を設定する設定手段を有するようにして、しきい電圧 V_{t2} をしきい電圧 V_{t3} と、しきい電圧 V_{t1} の中間値とせず、バンドパスフィルタ9の基準電圧 V_{ref} にすると、ウォブル信号の振幅変動による影響を最小に抑制でき、ウォブル信号の振幅変動による周期変動の影響をさらに抑制することができる。

【0046】次に、この発明による第3の実施形態におけるPLL回路17について説明する。図5は、第3の実施形態におけるPLL回路17の内部構成を示すブロック図である。このPLL回路17は、第2の実施形態におけるPLL回路16と比較して、オート・ゲイン・コントロール（一般に「AGC」と称している）回路41が2値化回路30、31及び39の前段に設けられている点で相違し、その他の点は同じである。以下、その同じ点の説明は省略ないし簡略化する。

【0047】AGC回路41は、ウォブル信号 F の振幅が所定の大きくなるように制御するための回路である。このAGC回路41を2値化回路30、31及び39の前段に設けると、ウォブル信号 F の振幅を所定の大きくなるように制御でき、振幅の大きさが、 V_{t1} 、 V_{t3} を基準にして位相の反転を検出できる範囲内に制御されたウォブル信号 F を2値化回路30、31及び39に入力することができる。こうすると、ウォブル信号 F の振幅の変動により、 V_{t1} 、 V_{t3} を基準にして位相の反転を検出することができなくなるという問題を回避することができる。

【0048】

【発明の効果】以上説明してきたように、この発明によるPLL装置によれば、請求項1～5において、各ADIPの一単位に相当する期間において、ウォブル信号の位相が反転した時にのみ、周波数検出器による周波数の制御を禁止するため、不感時間を短くし、同期回復に要する時間を短縮することができる。

【0049】また、請求項2および3に係るPLL装置によれば、ウォブル信号の周期の測定において、第1、第3のしきい電圧の中間値をとる第2のしきい電圧を用

いるため、ウォブル信号の振幅変動による周期変動の影響を抑えることができ、周期の測定精度が向上する。請求項3に係るPLL装置によれば、その影響をさらに抑制することができる。さらに、請求項4および5に係るPLL装置によれば、ウォブル信号の振幅が変動してしきい電圧 V_{t1} 、 V_{t3} では、位相の反転を検出できないという問題を回避することができる。

【図面の簡単な説明】

【図1】この発明による第1の実施形態におけるPLL回路13を設けた信号再生回路15の内部構成を示すブロック図である。

【図2】PLL回路13の内部構成を示すブロック図である。

【図3】位相変調したウォブル信号の波形と、PLL回路13の内部の信号の出力タイミングの一例を示す図である。

【図4】第2の実施形態におけるPLL回路16の内部構成を示すブロック図である。

【図5】第3の実施形態におけるPLL回路17の内部構成を示すブロック図である。

【図6】光ディスク上に形成されるグルーブとランドを模式的に示す平面図である。

【図7】位相変調したウォブル信号の波形の一例を示す図である。

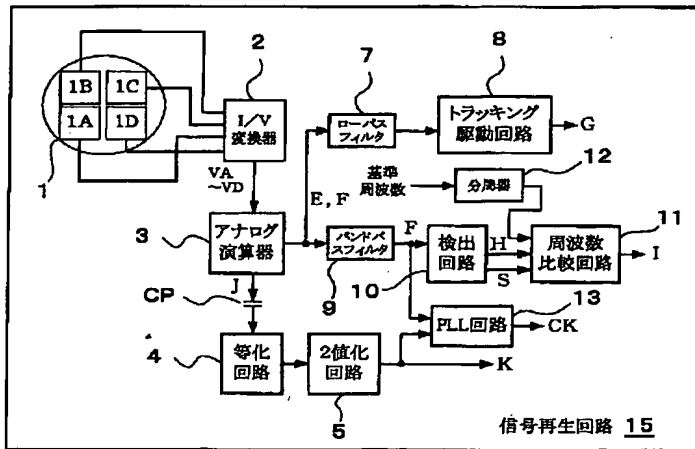
【図8】従来の信号再生回路14の内部構成を示すブロック図である。

【図9】従来のPLL回路6の内部構成を示すブロック図である。

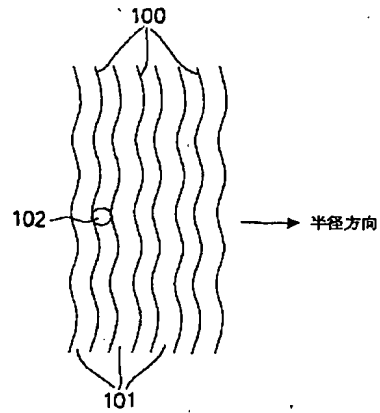
【符号の説明】

- | | |
|-------------------|------------|
| 1：ディテクタ | 2：I/V変換器 |
| 3：アナログ演算器 | 4：等化回路 |
| 5，30，31，39：2値化回路 | |
| 7：ローパスフィルタ | |
| 8：トラッキング駆動回路 | |
| 9：バンドパスフィルタ | 10：検出回路 |
| 11：周波数比較回路 | 12：分周器 |
| 13，16，17：PLL回路 | |
| 15：信号再生回路 | 20：周波数検出器 |
| 21，23：チャージポンプ | |
| 24：ループフィルタ | 25：電圧制御発振器 |
| 32，33，40：立上がり検出器 | |
| 38：立下がり検出器 | 36：比較器 |
| 37：フリップフロップ | |
| 41：オート・ゲイン・コントロール | |

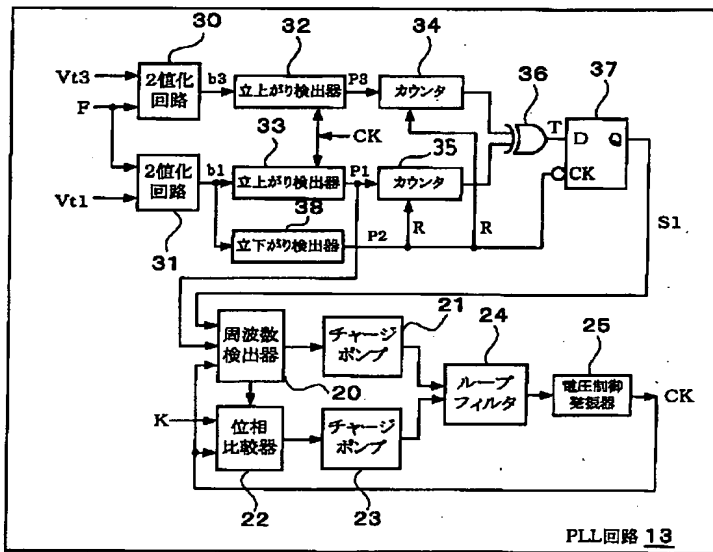
【図 1】



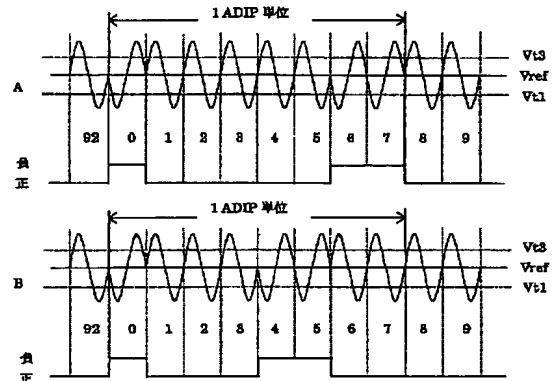
【図 6】



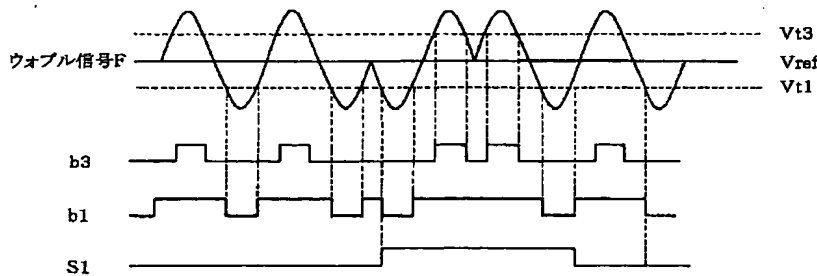
【図 2】



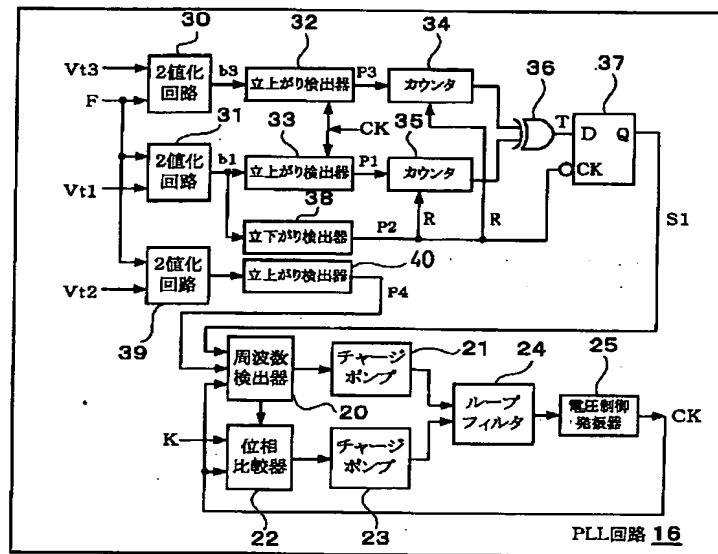
【図 7】



【図 3】



【図4】



【図5】

